



Norwegian University of Science and Technology
Faculty of Information Technology, Mathematics and Electrical Engineering
The Department of Computer and Information Science

TDT4160
DATAMASKINER GRUNNKURS
EKSAMEN

15. AUGUST, 2011, 09:00–13:00

Kontakt under eksamen:

Gunnar Tufte 97402478

Tillate hjelpemidler:

D.

Ingen trykte eller håndskrevne hjelpemidler tillatt.

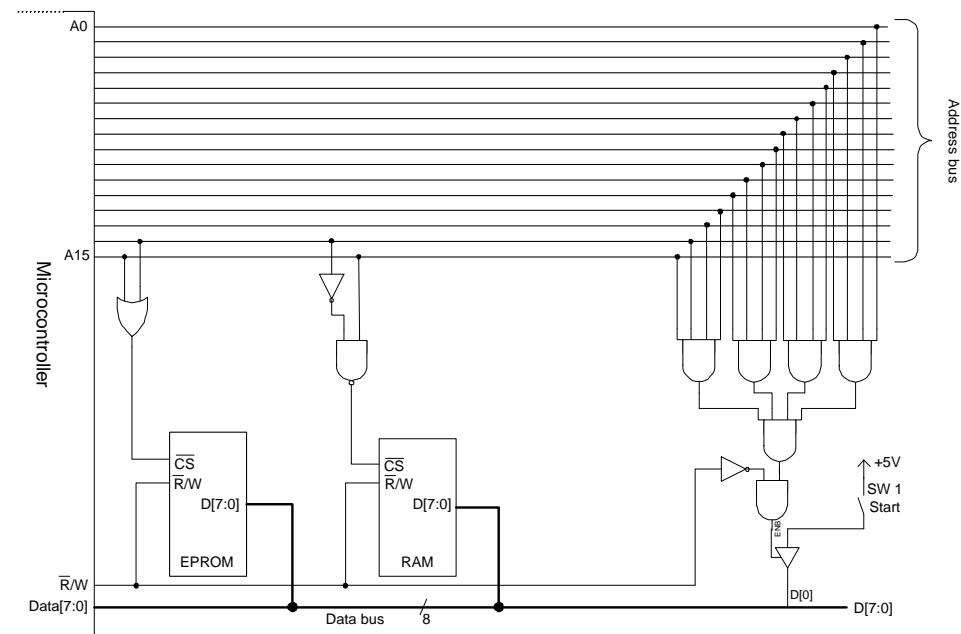
Bestemt, enkel kalkulator tillatt.

Målform:

Bokmål

OPPGAVE 1: DIGITALT LOGISK NIVÅ (25%)

I Figur 1 er EPROM, RAM og en bryter (SW 1) koblet til en felles buss. Programmet (ZX81) starter når SW 1 aktiveres. EPROM og RAM har aktivt lavt (logisk "0") CS (Chip Select)-signal.



Figur 1: Adressedekoding.

- Hvilken enhet adresseres viss følgende adresser legges ut på adressebussen?
 - hex(2AAA)
 - hex(4F00)
 - hex(9000)
- Ut fra informasjonen i figur 1, benytter systemet avbrudd (interrupt) eller polling for å starte programmet (ZX81)? Begrunn svaret.
- Angi alle adresseområder som ikke er i bruk.

OPPGAVE 2: MIKROARKITEKTUR OG MIKROINSTRUKSJONER (25%)

Bruk vedlagte diagram i figur 4, figur 5, figur 6, figur 7, figur 8 og figur 9 for IJVM til å løse oppgavene.

- a. Forklar funksjonen til boksen "MPC" i figur 4.
- b. Lag mikroinstruksjon(er) for følgende IJVM-operasjon: last register "TOS" med innholdet i register "H" + 1.
Se vekk fra Addr- og J-felta i mikroinstruksjonsformatet. Angi korrekte bit for ALU, C, Mem og B gitt i Figur 5.
- c. Følgende innhold i registrene er gitt:

"SP" inneholder: hex(0001),
"LV" inneholder: hex(FF05),
"CPP" inneholder: hex(0003),
"TOS" inneholder: hex(0004),
"OPC" inneholder: hex(0005),
"H" inneholder: hex(FF0A).

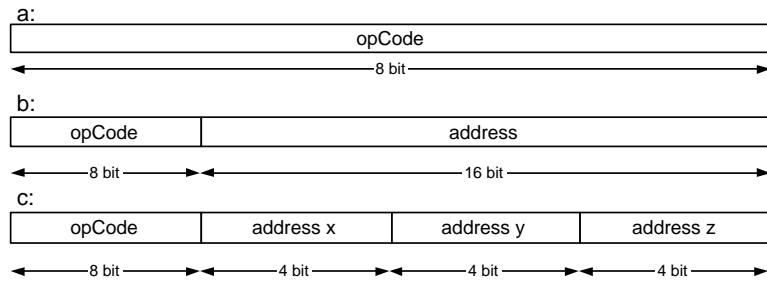
Hva inneholder TOS etter at de to oppgitte mikroinstruksjoner er utført? Se vekk fra bit i mikroinstruksjonsformatet som ikke er oppgitt. Gi svaret i hex format.

1: ALU: 010100, C: 100000000, Mem: 000 og B: 1000
2: ALU: 111101, C: 001000000, Mem: 000 og B: 0101

- d. Er det mulig å utvide antall ALU-funksjoner med eksisterende MIR? Begrunn svaret.

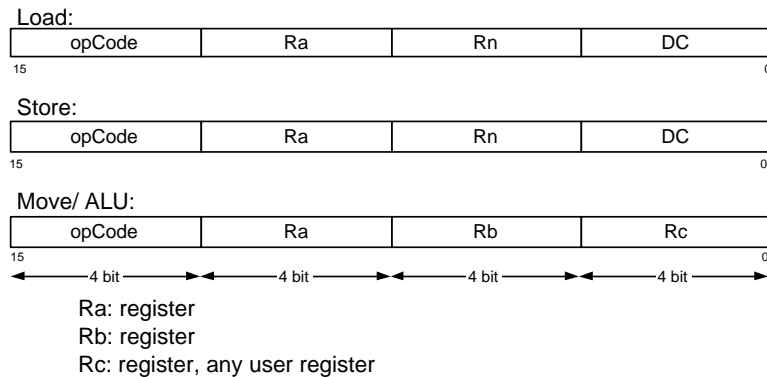
OPPGAVE 3: INSTRUKSJONSSETT ARKITEKTUR (ISA)(25%)

For en tenkt maskin er noen av de mulige instruksjonsformatene vist i Figur 2.



Figur 2: Mulige instruksjonsformat.

Instruksjonsformatene for en annen tenkt maskin er vist i Figur 3.



Figur 3: Mulige instruksjonsformat.

- Hvordan relaterer de to maskinene i Figur 2 og 3 til RISC og CISC?
- Er det noen av maskinene som benytter instruksjonsformat av type:
 - null adresse (zero-address) instruksjoner.
 - register-register operasjoner.

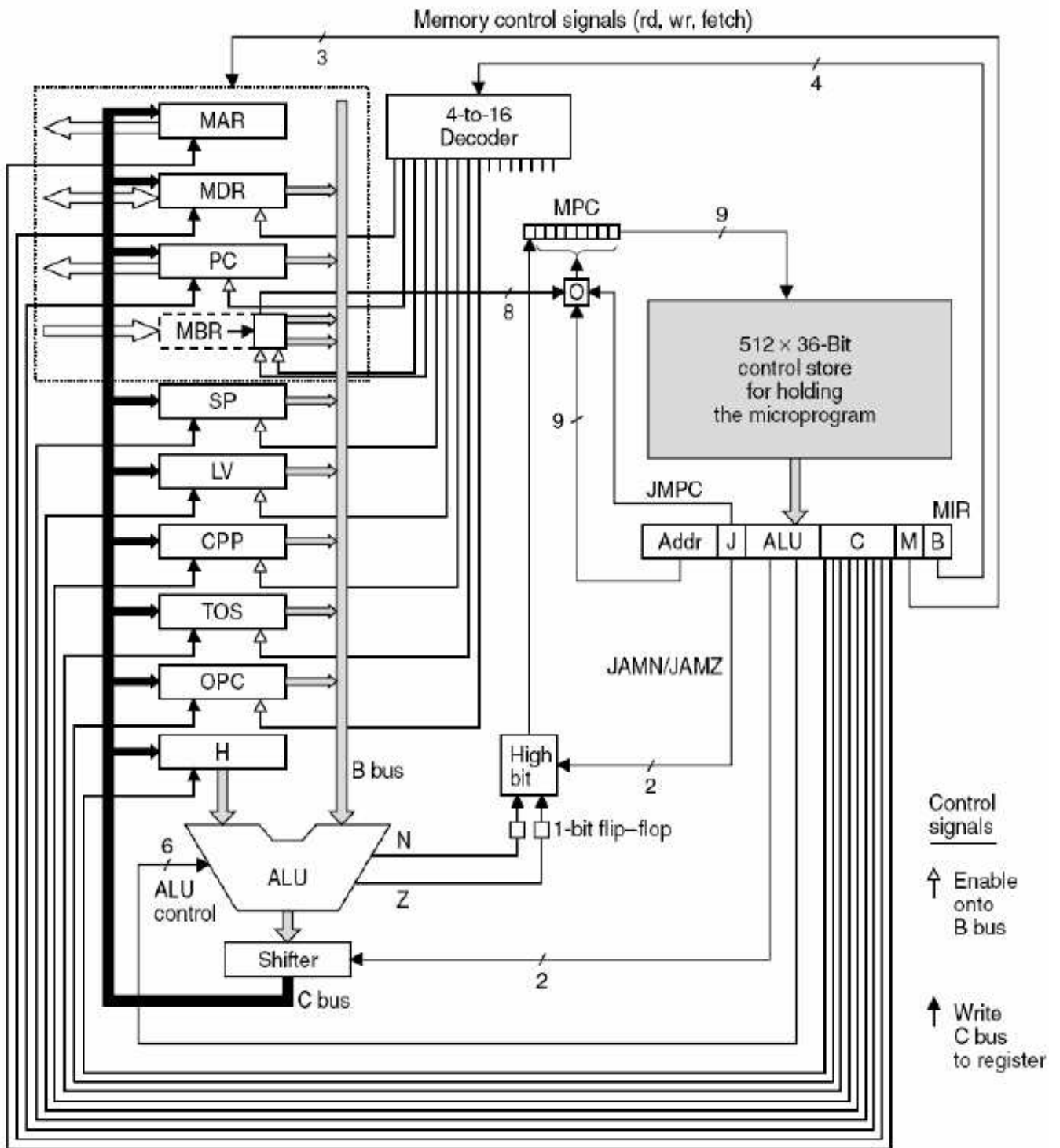
Begrunn svaret.

- Er det en av de to maskinene i Figur 2 eller 3 som er mer generell enn den andre (tips: general computation)? Begrunn svaret.
- Hva er "offset" i sammenheng med "indexed addressing"?

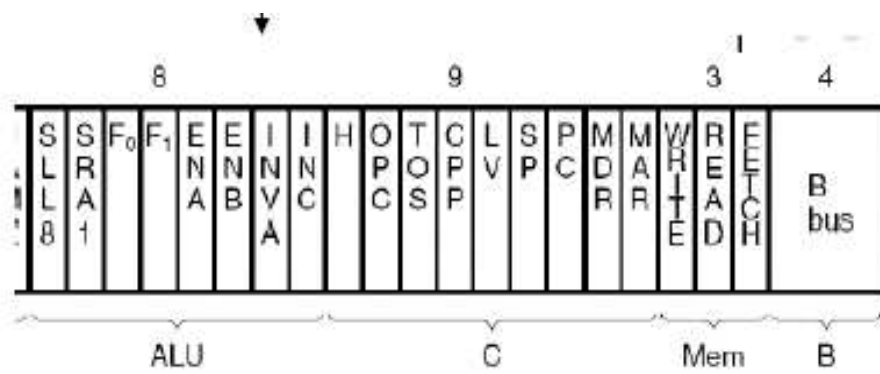
OPPGAVE 4: DATAMASKINER (25%)

- a. Figur 8 og Figur 9 i vedleggene viser forskjellige versjoner av IJVM-mikroarkitekturer. Er "Instruction Set Architecture" (ISA) påvirket av hvilken versjon av IJVM-mikroarkitektur som velges? Begrunn svaret.
- b. Hvordan påvirkes maksimal klokkefrekvens av å endre IJVM-mikroarkitektur fra Figur 8 til Figur 9?
- c. Hva er "ILP" og hvordan påvirker et bytte fra Figur 8 til Figur 9 "ILP".
- d. Hvilken innvirkning har en reduksjon i Δw (Figur 7) på maksimal klokkefrekvens for maskinene i Figur 8 og Figur 9?

IJVM vedlegg



Figur 4: Blokkdiagram (IJVM).



B bus registers

- | | |
|----------|-----------|
| 0 = MDR | 5 = LV |
| 1 = PC | 6 = CPP |
| 2 = MBR | 7 = TOS |
| 3 = MBRU | 8 = OPC |
| 4 = SP | 9-15 none |

Figur 5: Mikroinstruksjonsformat (IJVM).

ANSWER KEY FOR THE EXAM

OPPGAVE 1: DIGITALT LOGISK NIVÅ (25%)

I Figur 1 er EPROM, RAM og en bryter (SW 1) koblet til en felles buss. Programmet (ZX81) starter når SW 1 aktiveres. EPROM og RAM har aktivt lavt (logisk "0") CS (Chip Select)-signal.

a. Hvilken enhet adresseres viss følgende adresser legges ut på adressebussen?

i) hex(2AAA)

ii) hex(4F00)

iii) hex(9000)

Answer: EPROM: hex(0000) - hex(3FFF)

RAM : hex(8000) - hex(BFFF)

SW 1: hex(FFFF)

JA

b. Ut fra informasjonen i figur 1, benytter systemet avbrudd (interrupt) eller polling for å starte programmet (ZX81)? Begrunn svaret.

Answer: Polling, SW1 er kunn koplet til en datalinje på databussen. Systemet må overvåke (lese) adressen hex(FFFF) for å få informasjon om SW1 sin tilstand.

c. Angi alle adresseområder som ikke er i bruk.

Answer: hex(4000) - hex(7FFF)

hex(A000) - hex(FFFE)

OPPGAVE 2: MIKROARKITEKTUR OG MIKROINSTRUKSJONER (25%)

Bruk vedlagte diagram i figur 4, figur 5, figur 6, figur 7, figur 8 og figur 9 for IJVM til å løse oppgavene.

- a. Forklar funksjonen til boksen "MPC" i figur 4.

Answer: Mikro Program Counter: Peikar på adresse til mikroinstruksjon i instruksjon. Innhold gitt av instruksjon og flagg, flagg brukast viss det er betinga hopp i mikroinstruksjonane til instruksjonen. Ved start av ny instruksjon peikar MPC på fyrste mikroinstruksjon i instruksjonsn.

- b. Lag mikroinstruksjon(er) for følgende IJVM-operasjon: last register "TOS" med innholdet i register "H" + 1.

Se vekk fra Addr- og J-felta i mikroinstruksjonsformatet. Angi korrekte bit for ALU, C, Mem og B gitt i Figur 5.

Answer: ALU: 111001 (A) C: 001000000 (TOS) Mem: 000 (ingen mem opprasjon) B: 1111 (15 alt går sidan ALU er satt til kunn A inngang)

- c. Følgende innhold i registrene er gitt:

"SP" inneholder: hex(0001),
"LV" inneholder: hex(FF05),
"CPP" inneholder: hex(0003),
"TOS" inneholder: hex(0004),
"OPC" inneholder: hex(0005),
"H" inneholder: hex(FF0A).

Hva inneholder TOS etter at de to oppgitte mikroinstruksjoner er utført? Se vekk fra bit i mikroinstruksjonsformatet som ikke er oppgitt. Gi svaret i hex format.

1: ALU: 010100, C: 100000000, Mem: 000 og B: 1000

2: ALU: 111101, C: 001000000, Mem: 000 og B: 0101

Answer: 1:

ALU: 010100 (B) C: 100000000 (H) Mem: 000 (ingen mem opprasjon) B: 1000 (8 OPC)

2

ALU: 111101 (A+B +1) C: 001000000 (TOS) Mem: 000 (ingen mem opprasjon) B: 0101 (5 LV)
(TOS = FF0B)

- d. Er det mulig å utvide antall ALU-funksjoner med eksisterende MIR? Begrunn svaret.

Answer: Ja, 2^6 mulig med 6 kontrollinjer.

OPPGAVE 3: INSTRUKSJONSSETT ARKITEKTUR (ISA)(25%)

For en tenkt maskin er noen av de mulige instruksjonsformatene vist i Figur 2.

Instruksjonsformatene for en annen tenkt maskin er vist i Figur 3.

a. *Hvordan relaterer de to maskinene i Figur 2 og 3 til RISC og CISC?*

Answer: *Figur 2 CISC: mange adr. modus/inst typer. Variable operandar*

Figur 3 RISC: liklengde instruksjonar med uniform oppbygging. Register-register operasjonar.

b. *Er det noen av maskinene som benytter instruksjonsformat av type:*

i) null adresse (zero-address) instruksjoner.

ii) register-register operasjoner.

Begrunn svaret.

Answer: *i) Figur 2 a, er ein null adresse instruksjon. ii) Figur 3 er alle instruksjonstypene angitt register-register.*

c. *Er det en av de to maskinene i Figur 2 eller 3 som er mer generell enn den andre (tips: general computation)? Begrunn svaret.*

Answer: *Nei, begge er generelle datamaskiner, dei kan gjere akkurat det samme (bergne alle beregnbare funksjonar). Men forskjellen kan føre til at ein av instruksjonssetta (og underliggende arkitektur) er meir effektiv til enkelte oppgåver. Vidare kan det gi seg utslag i at ein ISA er lettare å lage program til.*

d. *Hva er "offset" i sammenheng med "indexed addressing"?*

Answer: *register inneholder offset til gitt adresse (adr. gitt annastad).*

OPPGAVE 4: DATAMASKINER (25%)

- a. Figur 8 og Figur 9 i vedleggene viser forskjellige versjoner av IJVM-mikroarkitekturer. Er "Instruction Set Architecture" (ISA) påvirket av hvilken versjon av IJVM-mikroarkitektur som velges? Begrunn svaret.

Answer: Nei, begge er ein mikroarkitektue implementert for IJVM-ISA.

- b. Hvordan påvirkes maksimal klokkefrekvens av å endre IJVM-mikroarkitektur fra Figur 8 til Figur 9?

Answer: kortere klokkeperiode, no er det eit pipelina system der klokkeperioden er gitt av tregaste enhet i pipelina, e.g. ALU (Samnt fleire inst. er under utføres samtidig).

- c. Hva er "ILP" og hvordan påvirker et bytte fra Figur 8 til Figur 9 "ILP".

Answer: Instruction Level Paralellism: Paralelitet på ein kjerne. Fleire instruksjonar er under utførelse samtidig. Utnyttar at instruksjonar brukar forskjellige einingar i forskjellige fasar av utførelse, f.eks. kan ha fetch, decode og execute. Ja, ved samlebånd aukar ILP.

- d. Hvilken innvirkning har en reduksjon i Δw (Figur 7) på maksimal klokkefrekvens for maskinene i Figur 8 og Figur 9?

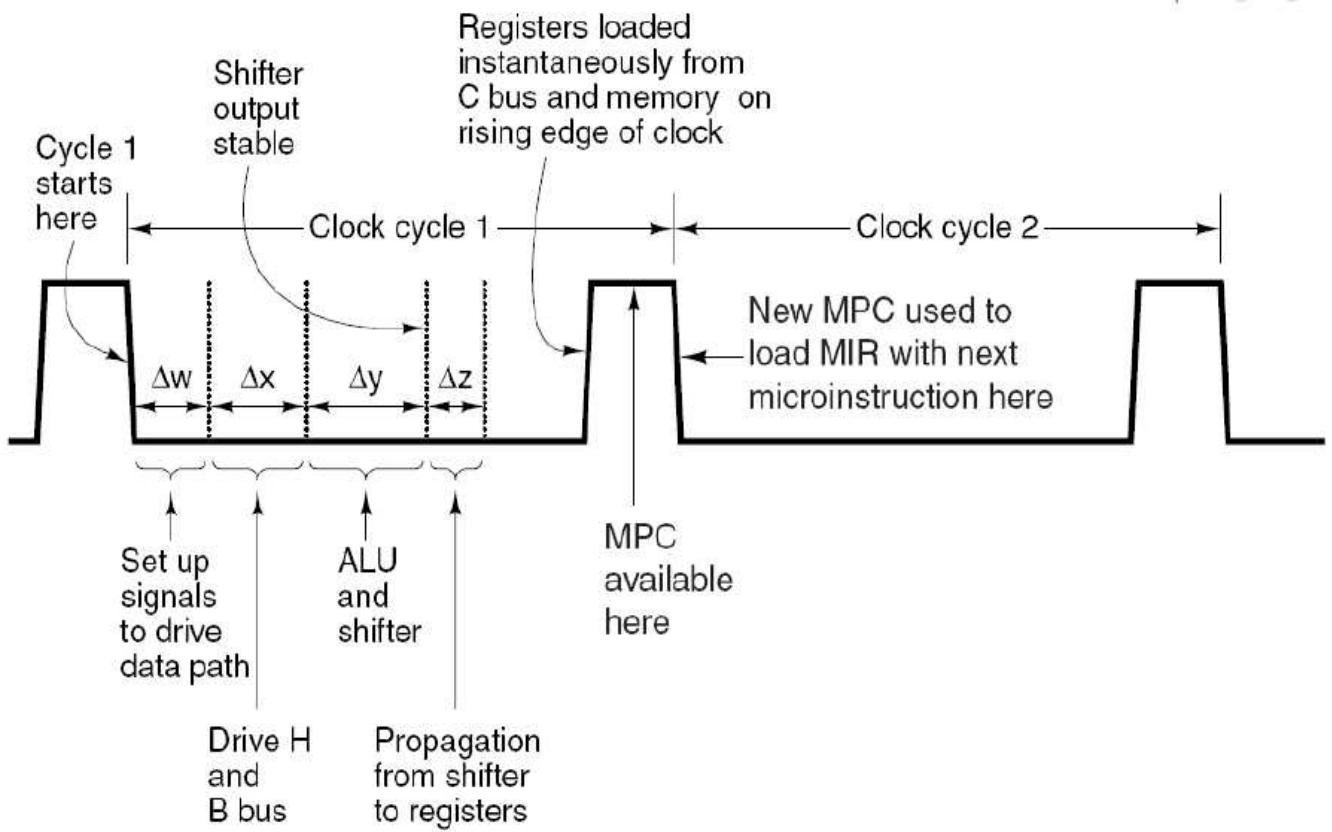
Answer: Ingen, det er δy som angir klokka.

IJVM vedlegg

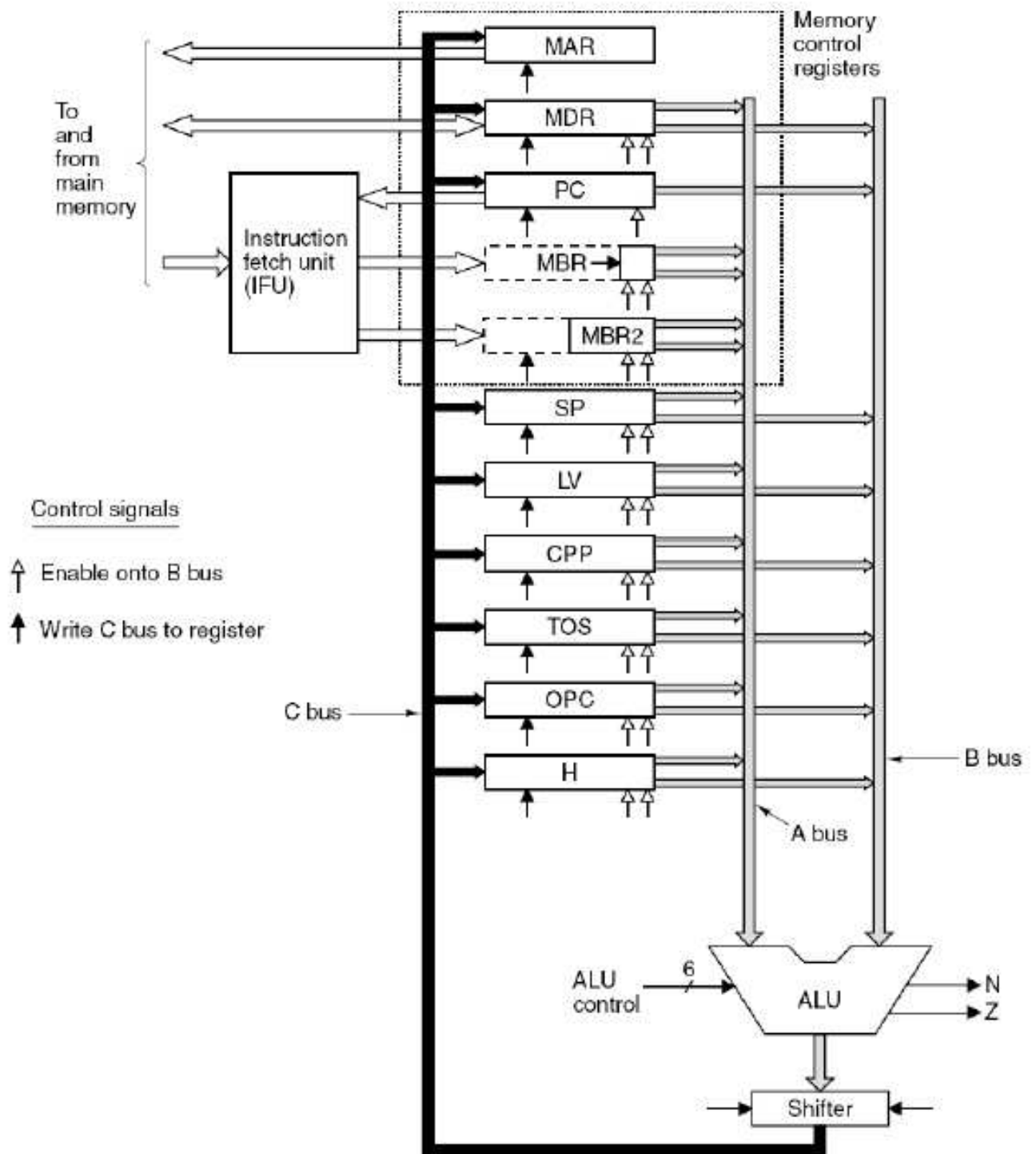
F_0	F_1	ENA	ENB	INVA	INC	Function
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	\bar{A}
1	0	1	1	0	0	\bar{B}
1	1	1	1	0	0	A + B
1	1	1	1	0	1	A + B + 1
1	1	1	0	0	1	A + 1
1	1	0	1	0	1	B + 1
1	1	1	1	1	1	B - A
1	1	0	1	1	0	B - 1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A AND B
0	1	1	1	0	0	A OR B
0	1	0	0	0	0	0
1	1	0	0	0	1	1
1	1	0	0	1	0	-1

SLR1	SLL8	Function
0	0	No shift
0	1	Shift 8 bit left
1	0	Shift 1 bit right

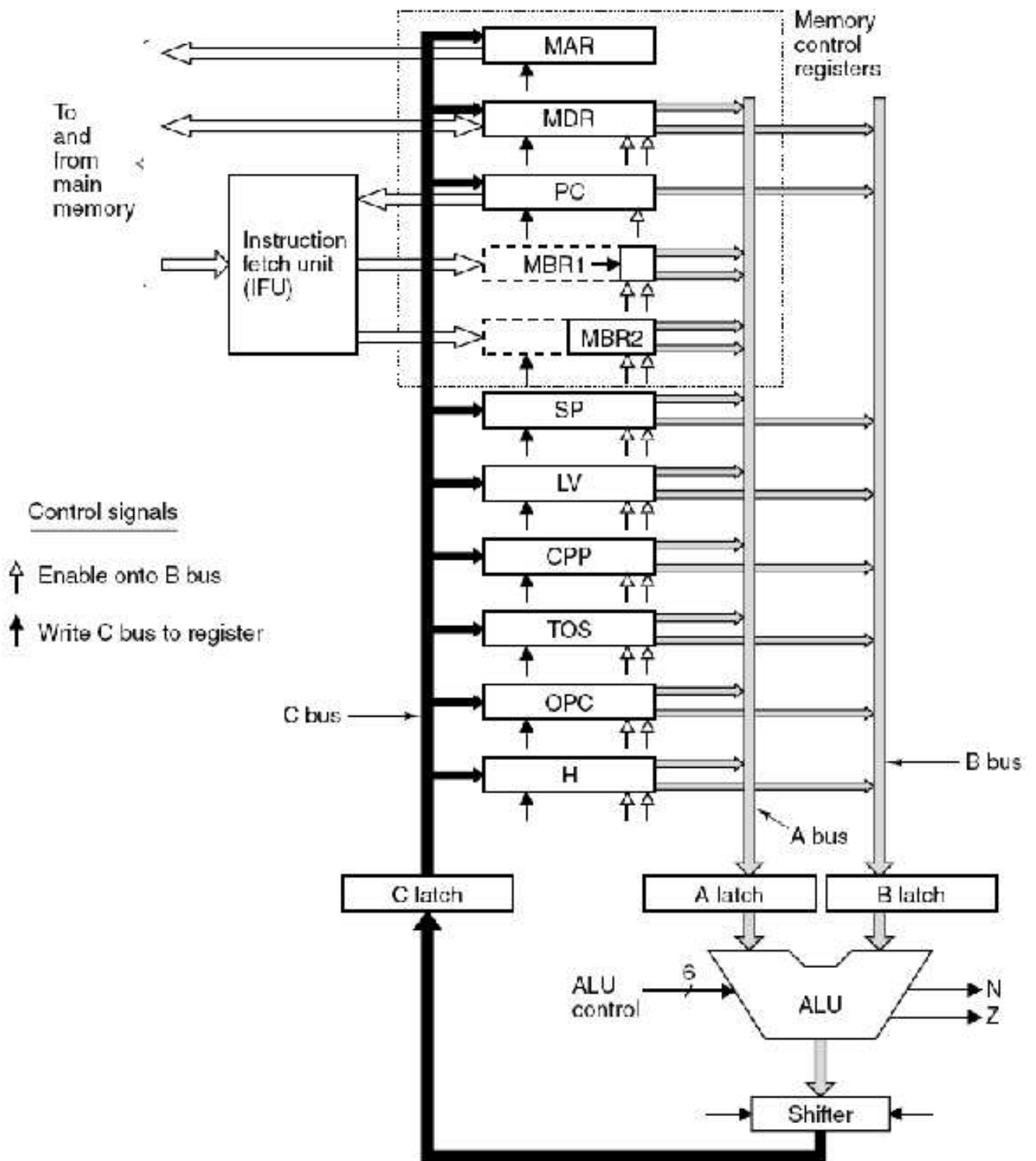
Figur 6: Funksjonstabell for ALU (IJVM).



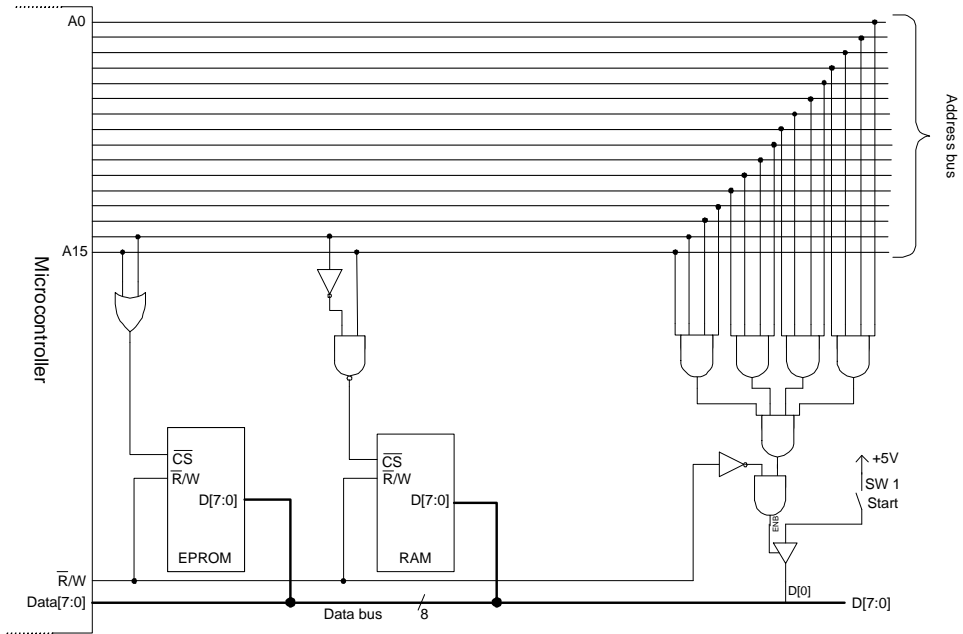
Figur 7: Timingdiagram (IJVM).



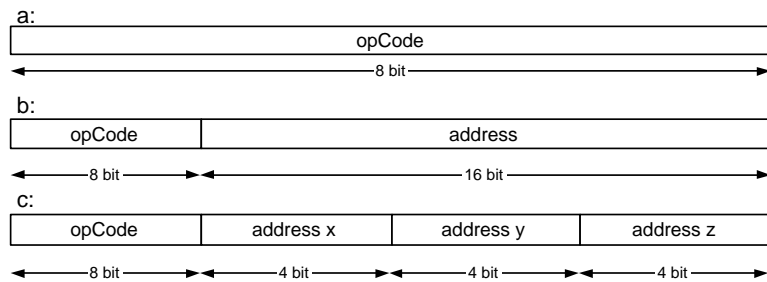
Figur 8: Alternativ mikroarkitektur I.



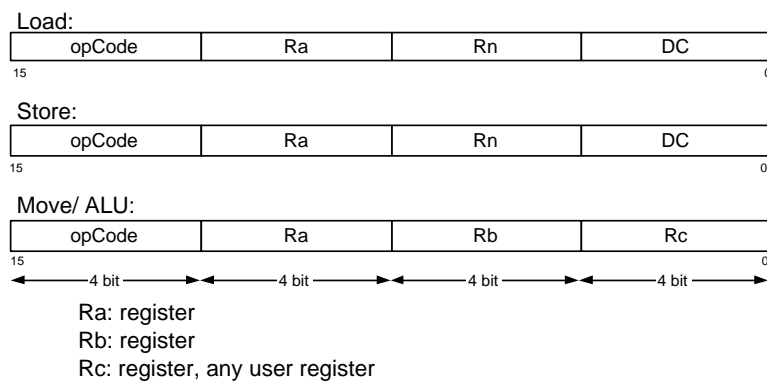
Figur 9: Alternativ mikroarkitektur II.



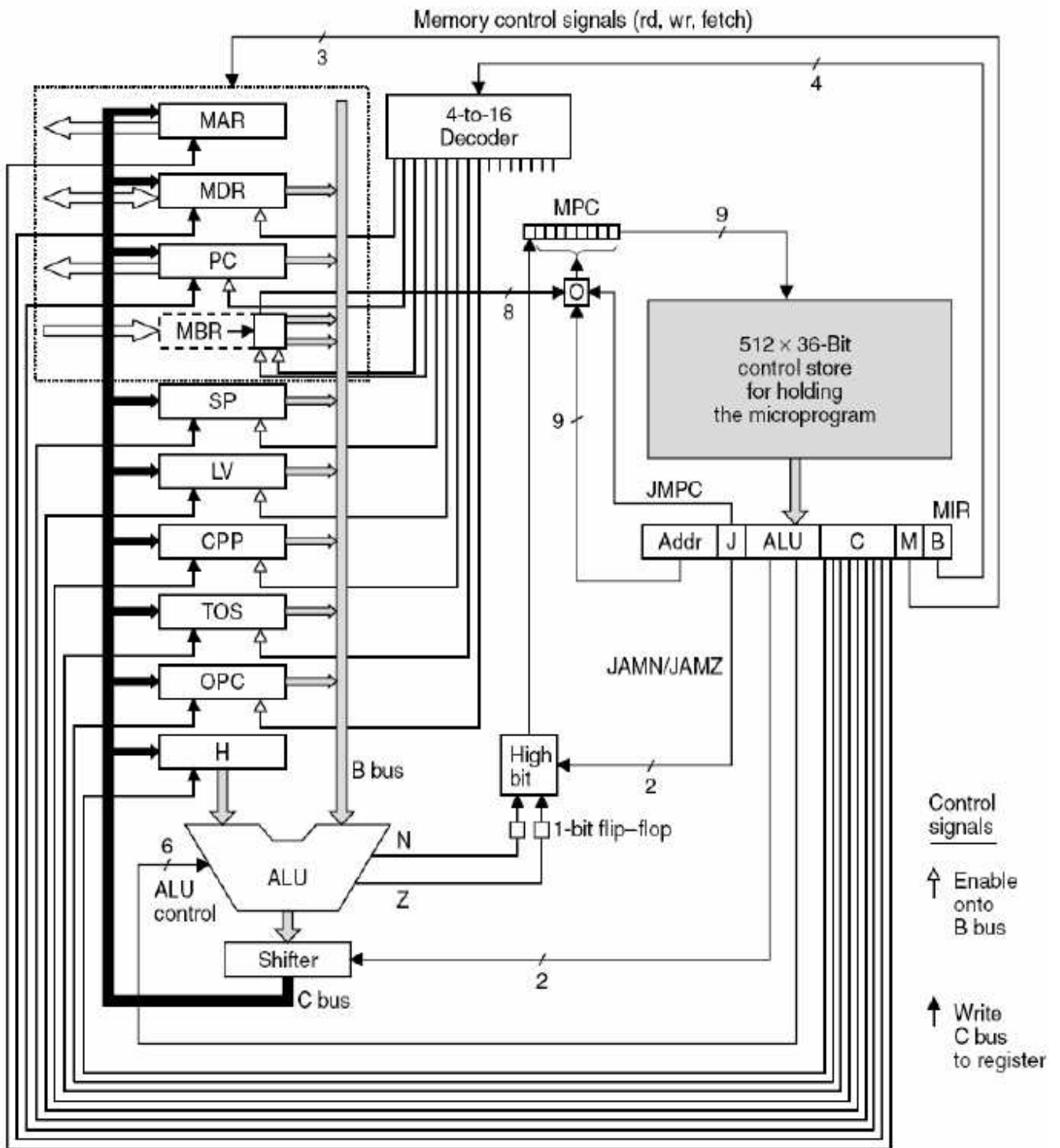
Figur 10: Adressedekoding.



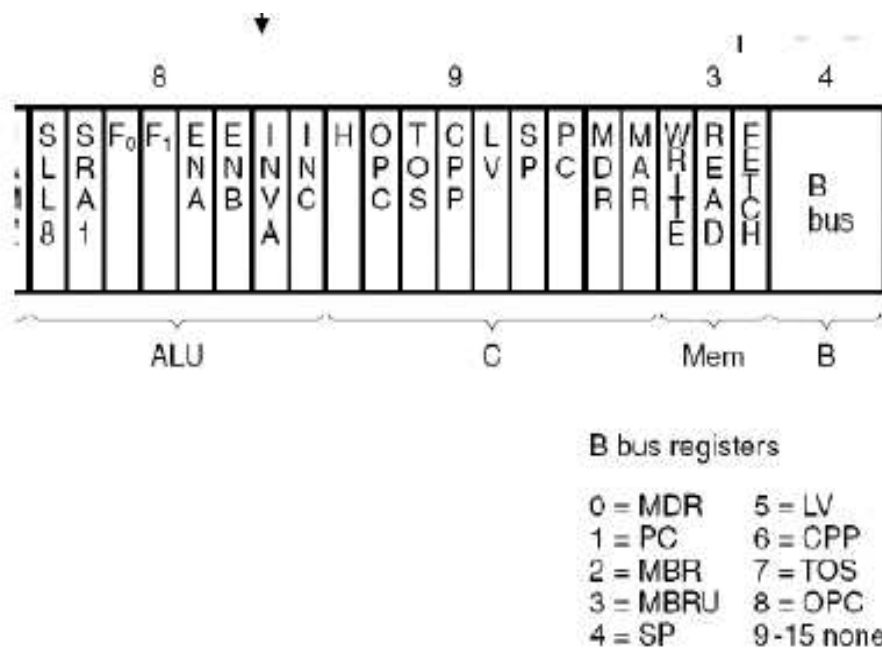
Figur 11: Mulige instruksjonsformat.



Figur 12: Mulige instruksjonsformat.



Figur 13: Blokkdiagram (IJVM).

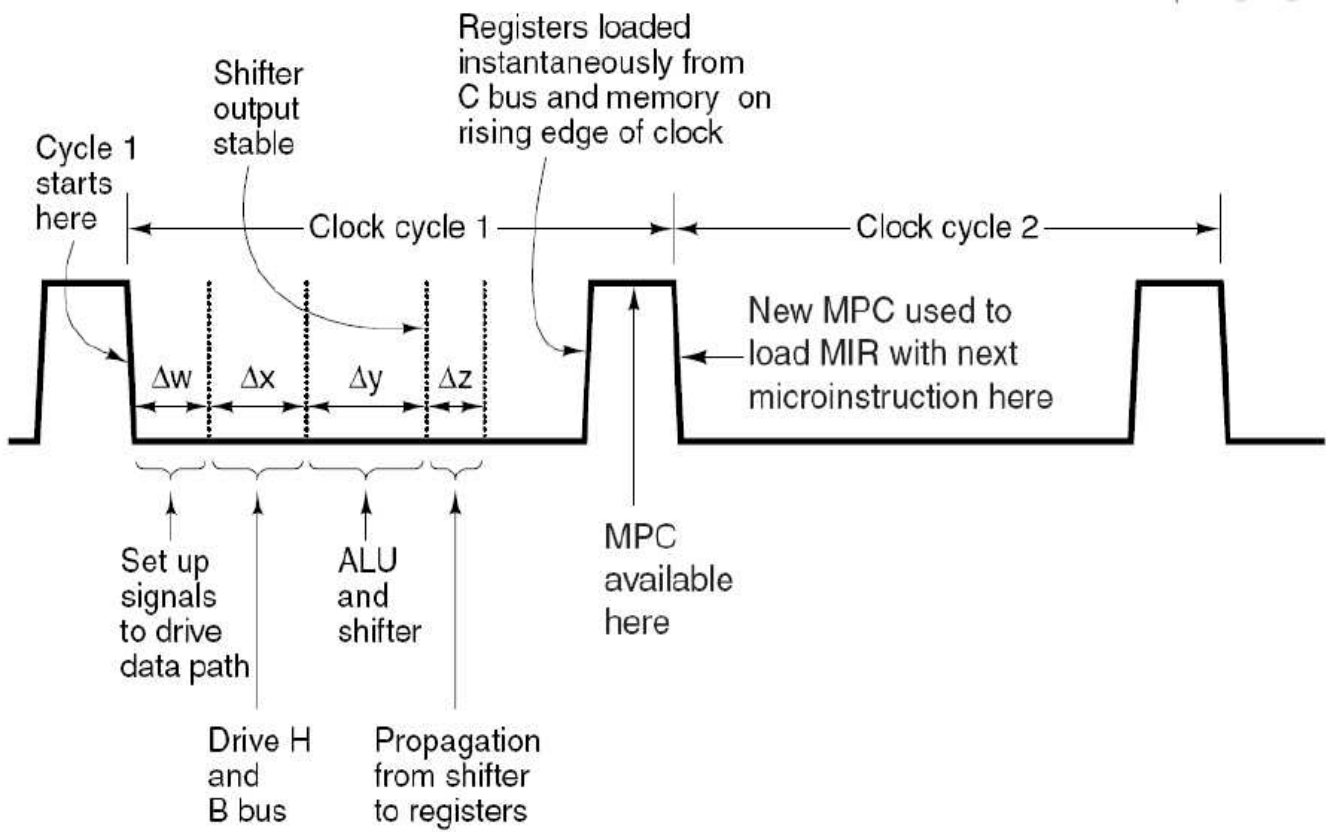


Figur 14: Mikroinstruksjonsformat (IJVM).

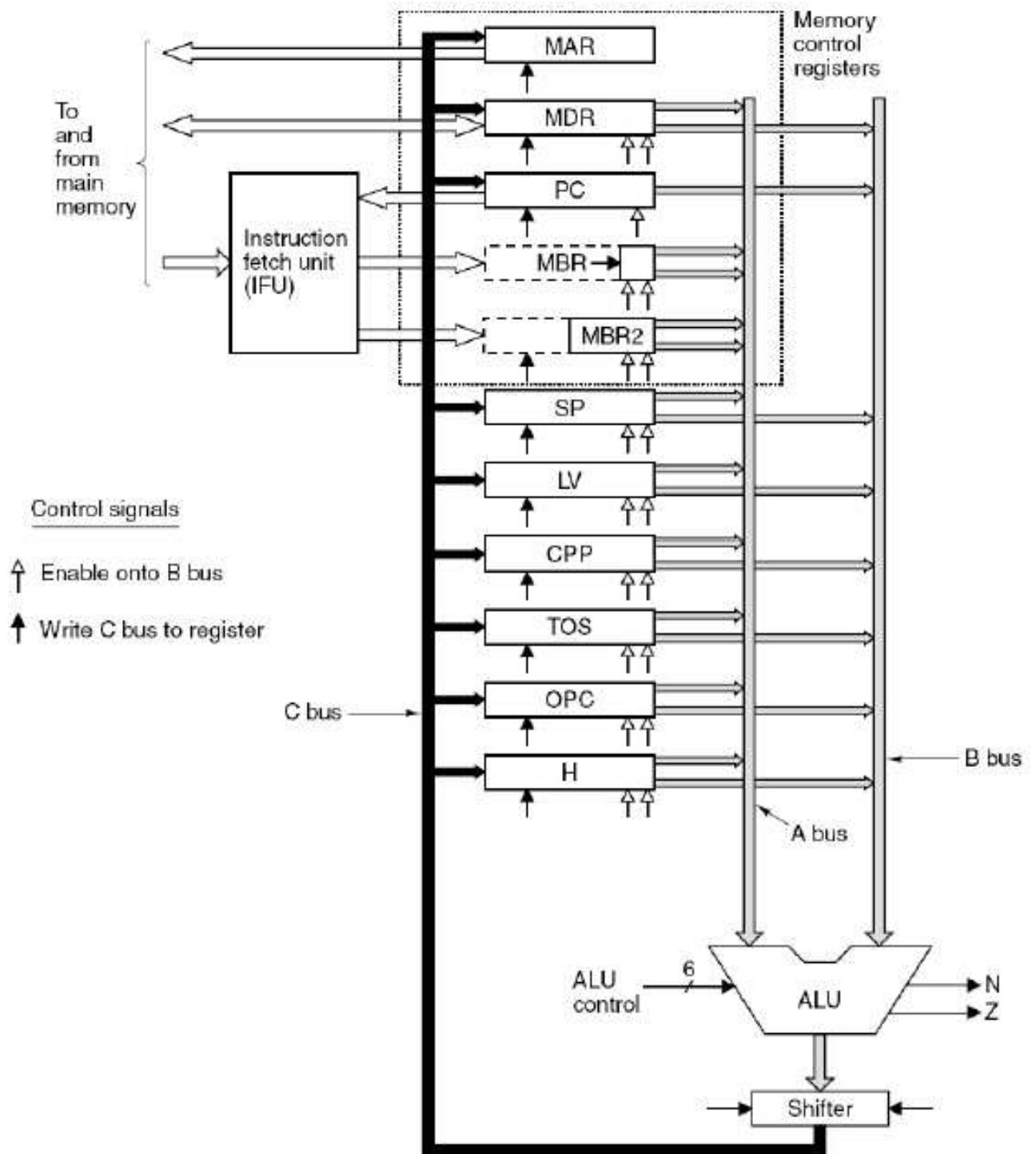
F_0	F_1	ENA	ENB	INVA	INC	Function
0	1	1	0	0	0	A
0	1	0	1	0	0	B
0	1	1	0	1	0	\bar{A}
1	0	1	1	0	0	\bar{B}
1	1	1	1	0	0	A + B
1	1	1	1	0	1	A + B + 1
1	1	1	0	0	1	A + 1
1	1	0	1	0	1	B + 1
1	1	1	1	1	1	B - A
1	1	0	1	1	0	B - 1
1	1	1	0	1	1	-A
0	0	1	1	0	0	A AND B
0	1	1	1	0	0	A OR B
0	1	0	0	0	0	0
1	1	0	0	0	1	1
1	1	0	0	1	0	-1

SLR1	SLL8	Function
0	0	No shift
0	1	Shift 8 bit left
1	0	Shift 1 bit right

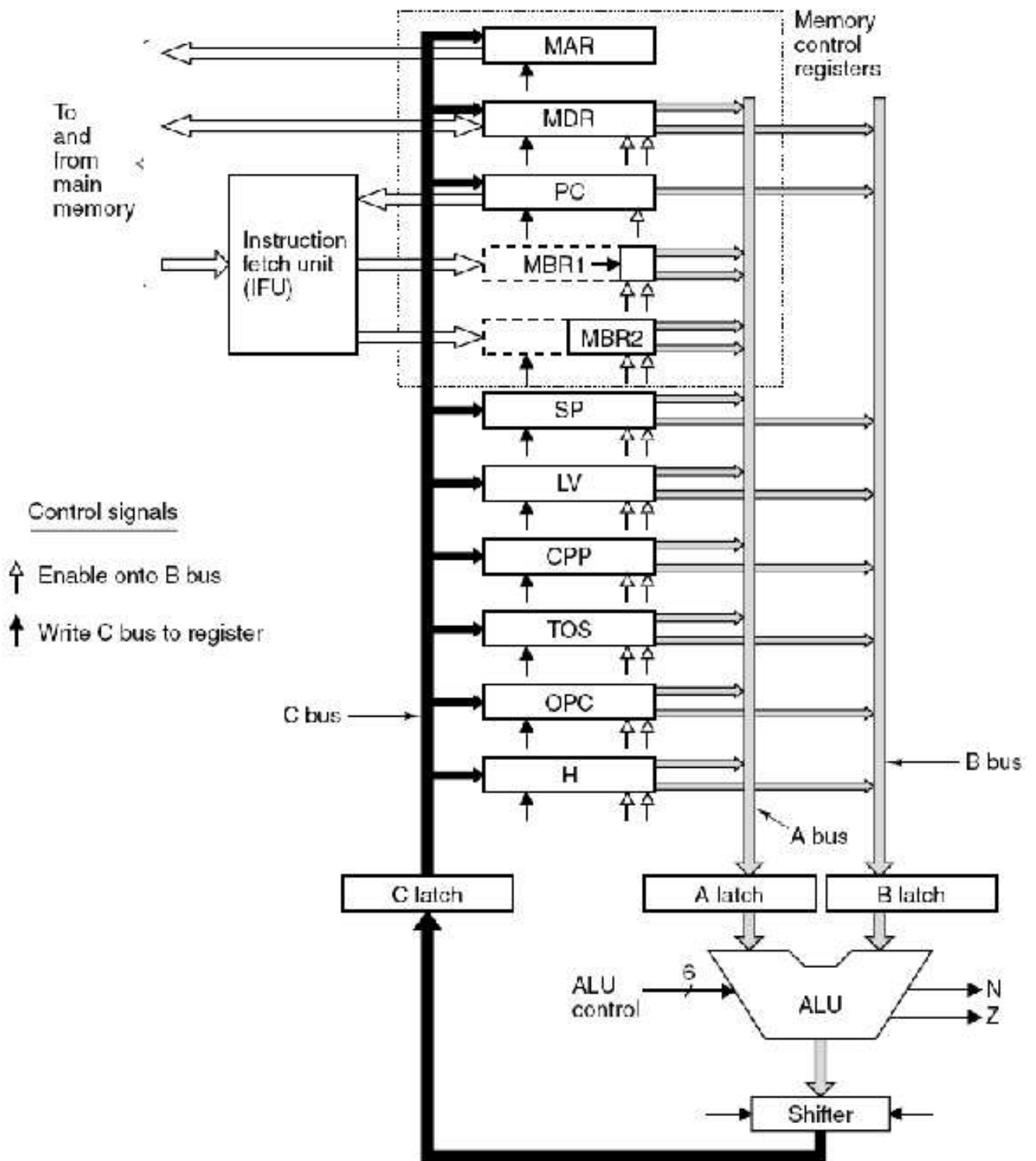
Figur 15: Funksjonstabell for ALU (IJVM).



Figur 16: Timingdiagram (IJVM).



Figur 17: Alternativ mikroarkitektur I.



Figur 18: Alternativ mikroarkitektur II.